

## DAC2010 レビュー

小島 智

### EDA標準化動向

6月13日から17日までDAC2010(Design Automation Conference 2010)が、米国カリフォルニア州Anaheimコンベンションセンターで開催された。年に一度この時期に米国で開催されるエレクトロニクス製品の設計自動化に関する世界最大の学会と展示会である。

ここには業界の関係者が多数集まるため、EDA標準に関する国際学会やコンソーシアム主催のイベントが行われる。各団体組織の活動状況を短期間に知りえる良い機会となっている。

今回参加したイベントは、6月13日のOSCI後援のNASCUG(北米SystemCユーザグループ会議)と6月15日のAccellera主催のUVMパネル討論(Universal Verification Methodology)である。また、IEEE DA標準委員会(Design Automation Standards Committee)、この下部組織であるP1666WG(SystemC)とP1800WG(SystemVerilog)のキーマンとの会合、UVM標準を進めるAccellera VIP小委員会の主査との会合を持った。

ここ数年の標準化活動を概観すると、以下の変化があると思う。これを頭にいれて個々の標準化動向を見ると大きな潮流がよく見えてくる。

- IEEE標準の主要な規格は、Accellera、OSCIに代表されるコンソーシアムで開発されたフォーラム標準がベースになっている。AccelleraとOSCIが誕生し10年経過し、この流れが定着化している。例えば、SystemC、SystemVerilog

- Accelleraで開発した標準は、EDAベンダーとEDAユーザがDonationした使用実績がある設計言語と手法がベースとなっている。例えば、パワーフォーマットUPF

- IEEE標準を決める投票は、学会メンバー(個人)による従来のIndividual-based VoteにIEEE Standards Associationの会員によるEntity-based Voteが加わり、業界におおきな影響を与える規格はほとんどEntity-basedで行われている。個人から会社団体が参加する活動に変わってきている。例えば、SystemC、SystemVerilog

- 設計記述言語の規格だけでは、新しい設計手法と検証手法の普及が難しいため、モデリング手法と検証手法の規格化が重要視されてきている。例えば、SystemCのTLM

-設計記述言語では、EDAベンダーによる熾烈なDeFacto標準の獲得競争(Standard War)はあまり表面化せず、もう一歩進んだ検証環境を実現するための高度な検証ライブラリとデバック環境で勝負する傾向にある。例えば、SystemVerilogベースのVMMとOVM

## 1. NASCUG(北米 SystemC ユーザグループ会議)

SystemC のユーザグループは、北米、欧州、日本を中心に組織化され世界各地で定期的に開催している。米国では DAC と DVCon に併せて開催しており、内容は、OSCI からの標準化動向の報告と技術発表という構成になっている。日本でも7月2日に SystemC ジャパンが新横浜で開催されたが、これは OSCI 公認の日本ユーザグループ会議である。

OSCI には、6つの Working Group があり、活動している。

- Analog/Mixed-Signal Working Group (AMSWG)
- Configuration, Control and Inspection Working Group (CCIWG)
- Language Working Group (LWG)
- Synthesis Working Group (SWG)
- Transaction-Level Modeling Working Group (TLMWG)
- Verification Working Group (VWG)

President の Mike Meredith( Forte)から、各WGの状況説明があった。AMSWG は AMS V1.0 リリース、CCIWG は Configuration 要求仕様策定、LWG は SystemC Language V2.2 を公開、SWG は Synthesis V1.3 の公開レビュー、TLMWG は TLM2.0 を公開し現在 IEEE で標準化作業が進行、VWG は SCV V21.0p2 を公開との報告があった。

AMSは、SystemC の OSCI 規格が成立し、VHDL、VerilogとSystemCと3つの規格が出揃った。ANS 設計言語は、デジタル設計言語と比べまだまだ利用する設計人口が少ないが、そろそろ各言語の棲み分けを議論する時期に来たように感じる。

今回技術発表は5件あったが、内容が高度で日本で聞きなれているユーザ事例発表と異なり専門家でないと感じが困難であると感じた。3件目の発表は、AMS 関連であったが、会場には AMS 専門家が不在で、質問がまったくでなかった。また、4件目の発表は、現在 IEEE で標準化を先導する技術リーダー John Aynsley から Process Control 最新機能について報告があった。近々に OSCI の Web サイト(<http://www.systemc.org/home/>)で資料が公開される。

- "How to Create Adaptors Between Modeling Abstraction Levels"  
Ashwani Singh, CircuitSutra Technologies Pvt Ltd

- "Virtual Development Platforms - What and How Much to Model?"  
Bill Bunton, LSI Networking Components Division
  
- "Modeling Communication Systems Using the SystemC AMS Building Block Library"  
Jiong Ou, Institute of Computer Technology, Vienna University of Technology
  
- "New Features for Process Control in SystemC"  
John Aynsley, Doulos Ltd.
  
- "Generating Workload Models from TLM-2.0 Based Virtual Platforms for Efficient Architecture Performance Analysis"  
Tim Kogel, Synopsys, Inc.

## 2. IEEE 標準化動向

IEEE には各分野の標準規格化を進める多くの標準委員会があるが、DA 標準委員会 (DASC: Design Automation Standards Committee) が、EDA 関連の標準化を進む委員会である。下部組織として多くの Working Group を持ち、舵取りをしている。今回 DASC 委員長であり、最も活発な活動を進めている P1666-WG(SystemC)の主査を兼任する Stan Krolikoski(Cadence)他に会い、SystemC 標準の状況と SystemVerilog の新しい動きについて聞いた。

### 2.1 P1666(System C) Working Group

P1666WG は 2011 年前半での IEEE 標準を目指して改訂作業を進めている。現在の SystemC は、IEEE1666-2005 という規格番号が付けられ、文字通り 2005 年に承認された。

前回は、OSCI規格の言語仕様書LRM(Language Reference Manual)がほぼそのままIEEE規格として承認され、予定通りであった。今回は現バージョンのErrata修正と新規機能であるTLM2.0を追加するという大改訂作業となっており、また既にOSCI標準として普及しているTLM1との上位互換性の維持という課題もあり、時間がかかっている。当初8月にWG内投票完了を予定していたが、12月にWG内投票に日程変更したが2011年前半のIEEE承認に拘って、活動を進めている。

IEEE 投票方式には、従来の IEEE 個人会員による投票(Individual-based Vote)と団体会員による投票(Entity-based Vote)がある。P1666 は前回同様 Entity-based Vote であり、投票会員は12団体である。

Accellera、Cadence、Freescale、Intel、JEITA、Mentor、NXP、OSCI、ST Micro、STARC、Synopsys、TI

日本からは JEITA EDA 技術専門委員会の SystemC ワーキンググループ(今井主査、東芝)と STARC の標準化推進室(吉永研究員)が参加し、直接 WG 内作業に参加している。

## 2.1. IEEE P1800(SystemVerilog) Working Group

昨年 IEEE 標準承認され、IEEE1800-2009 という規格番号が付けられた System Verilog の改訂作業が 6 月に承認された。IEEE では、標準規格メンテナンスは、5 年毎の見直しルール化されているため、異例の標準作業再開である。前回 P1800 Working Group 主査 Karen Pieper(Tabula)と会えなかったが、今回も彼女が中心になり、WG を立ち上げると予想される。今回のプロジェクト提案書 PAR(Project Authorization Request)を見ると現規格 IEEE1800(SystemVerilog)-2009 の Errata 修正と言語解釈の明確化を狙いとした 2 年の短期プロジェクトである。

Verilog HDL に比べて、System Verilog は設計検証メソドロジーの基づいた膨大な新規機能を一挙に全て詰め込んだという印象を持っている。このため、利用者である設計者が新機能を使いこなすことができず、ユースケースの積み上げが十分でない。そのため、仕様の解釈が微妙に異なるコーナーケースで、各 EDA ベンダーのシミュレータの結果応答が結果が異なる問題が顕在化していると聞いている。今後の WG 立ち上げ状況を見ながら、日本の対応を検討する必要がある。

## 3. Accellera VIP-TSC 技術小委員会(UVM:Universal Verification Methodology)

設計言語の標準化を推進するコンソーシアム Accellera は、パワーフォーマット UPF と SystemVerilog の標準化を終え、IP ベース設計を支援するコンソーシアム SPIRIT との統合後、大きな動きが無くなったように感じていた。今回 DAC で主催した UVM パネル討論会に参加し、さらに詳細 UVM の標準化動向を関係者に聞いた。

EDA の Big3 である Synopsys、Cadence と Mentor は、夫々 SystemVerilog シミュレータを製品化し、独自の検証手法の普及に努めていた。2008 年に Cadence と Mentor が歩み寄り統合化した OVM(Open Verification Methodology)をオープン化した。さらに、Accellera が Synopsys に働き掛け、自社の VMM(Verification Methodology for SystemVerilog)を Donation することに成功し、VIP-TSC(Verification IP-Technical

Sub-committee)が中心となり OVM と VMM を統合した UVM(Universal Verification Methodology)の標準化作業を進めた。VIP-TSC は、2人の主査Thomas Alsop(Intel)とHillel Miller(FreeScale)がEDAユーザの立場で、また検証エキスパートが先導している。ほぼ週1回の会議を継続して開催し、今年5月に UVM 1.0 EA (early adopter) kits をリリースした。

UVM は、System Verilogベースの機能検証手法とこれを支えるClassライブラリ群であり、所謂 VerificationIP の流通に寄与することを目的としている。今後の日程は、10月Accellera標準、その後のIEEE標準を目指しているという。また、SystemC ともTLMで接続可能であり、多言語とのInteroperabilityを実現する。

以上