

DVCon2011 レポート

小島 智

2月28日から3月3日まで DVCon2011 (Design & Verification Conference and Exhibition 2011) が、米国カリフォルニア州 San Jose の DoubleTree Hotel で開催された。このホテルは San Jose 空港近くにあり、街路樹の桜が満開であった。電子機器システムの上流設計に焦点を合わせた専門コンファレンスであり、技術論文セッション、チュートリアル、展示会、基調講演とパネルセッションが行われた。EDA 関係の標準化機関の一つの米 Accellera が主催している。

今回シリコンバレーでのコンファレンスに参加しての印象は、日本がまだ景気回復の実感がない中、米国が完全に景気回復したということである。機能設計と機能検証の設計者と専門家のためのコンファレンスであるにも関わらず、200~300人が参加して、検証手法や設計言語、検証 IP について踏み込んだ議論がされている。展示会場は小規模であるが併設されており、昨年24社に対して35社に増加している。EDA ツールベンダー、検証 IP ベンダー、検証サービスベンダーと EDA 標準化コンソーシアムが展示しており、日本では馴染みのない新規ベンチャーも数多く出展している。

(<http://www.dvcon.org/exlist.html>)

今回の目玉は、何と言っても SystemVerilog をベースとした機能検証手法 UVM (Universal Verification Methodology) が標準化機関の Accellera により Version 1.0 として標準化されたことである。また、UVM 1.0 がもう一つの標準化機関 OSCI が進める SystemC ベースの TLM 2.0 を採用している点にある。これは言語間のインターオペラビリティが実現されたことだけでなく、2つの標準化団体が今後コラボレーションし共同歩調を取ると考えられる。

筆者が参加した会議を中心に報告をする。

1. 北米 SystemC ユーザグループ会議 (NASCUG: North America SystemC Users Group)

初日2月28日(月)の午前中に北米 SystemC ユーザグループ会議が開催された。ユーザグループは、世界各リージョンに組織化されていてそれぞれが特徴を活かしたユーザグループ会議を定期的開催しており、標準化機関 OSCI が支援している。米国では EDA 関連の国際会議に併設して開催されており、今回 DVCon2011 と6月の DAC2011 で予定されている。日本では SystemC ジャパンがこれに相当する。

9:00 - 9:10 NASCUG Introduction David Black, NASCUG Chair, XtremeEDA

9:10 - 9:25 OSCI Update Eric Lish, OSCI Chair, Intel

9:25 - 9:55 Keynote: "Navigating the SoC Era" Jim Hogan, Private Investor, Vista Ventures, LLC

9:55 - 10:25 The New IEEE1666 SystemC Standard John Aynsley, Doulos Ltd.

10:25 - 12:00 Three Users Presentation

先ず OSCI 会長の Eric Lish 氏が OSCI ワーキンググループと IEEE1666 ワーキンググループの活動状況を報告した。大きな動きとしては、2005年 IEEE 標準の仕様改訂と TLM 2.0 の追加を狙いと

し活発に活動していた IEEE1666ワーキンググループの改訂作業が完了したこと、昨年 3 月に欧州が中心で進めた SystemC-AMS(Analog&Mixed Signal)が OSCI 標準となったが、この普及活動に OSCI の軸足が移ること、およびもう一つの標準化機関の Accellera が UVM1.0 標準に OSCI 標準の TLM2.0を採用したことである。IEEE規格の改訂作業には 11 団体が参加し、日本からは JEITA SystemC ワーキンググループ(今井主査、東芝)と STARC 標準化推進室(吉永研究員)が参画した。6 月に San Diego 開催の DAC2011での発表を目標に、最終投票が予定されている。

昨年のユーザグループ会議からOSCI活動報告とユーザ事例発表に加え、基調講演が追加された。昨年はEDAアナリストとして著名なGary Smith氏が講演し、今年はEDA業界リーダであるJim Hogan氏が登壇した。

Hogan氏は長年半導体業界とEDA業界で会社経営に携わり、現在はVC(Venture Capital)として会社の買収に深く関わっている。EDA業界の重鎮であり業界リーダとして大きな影響力を持ち、また日本Cadenceの社長を務めたという経歴を持つ。

開口一番、「私の見通しは如何にお金を稼ぐかという点にある。すなわち、会社を売るか、IPOをするかである。いつもお金を儲ける機会を求めている。」と自分の立場を明確にした。EDA360という言葉は、もはやCadence社だけの語彙ではなく、このコンセプトはEDA業界で議論されずでに使われている。この中で定義するSoC Realization分野に投資を集中していると言う。

半導体業界は2010年に約30%成長し、2011年は10%成長が予想されている。半導体製品の中でSoCの粗利益は40%–60%であり、他の製品に比べて非常に高い。現在の課題はValue Chainが崩れ、半導体ベンダーからシステムベンダーに利益がシフトしている点にある。Intelは世界No.1の製造会社であるが、アプリケーションは強くない。将来IntelはASICベンダーになるのではないかと予想する。一方ARMはモバイル市場を席卷し、サーバー市場に移行している。しかし、ARM市場規模は彼らのライセンス使用者に比べると余りに小さい。すなわち、彼らの持つ真の価値を享受していない。価値を掴める場所は、システムレベルとSoCレベルであり、現在IPベンダーは真の価値に見合う一部しか得ていない。EDAベンダーに至ってはほとんどゼロに近いと主張した。

最後にEDAの新しい方向性について述べた。Silicon RealizationはEDA Classicであり、これからも必要であり常にEcosystemが形成されている。私の投資する対象はこれではなく、SoC Realizationであり過去5年間投資をここに集中している。現在SoC Realizationは発生初期のEcosystemを持ち、多くのベンダーがIP sourcing、SoC creationとSoC handoffを提供しているが、統合化されたシステムを提供するベンダーはない。これはGood Newsである。Supply Chainの破碎、Valueの変化、Valueの分解があれば、そこにはお金儲けのチャンスが必ずある。全てのシフトはSoc Realizationに向かうと講演を結んだ。(以上、第一報)

2. Accellera—OSCI合同Town Hallフォーラム

初日2月28日(月)昼に標準化機関であるAccelleraとOSCIの主催するTown Hallフォーラムが開催された。従来それぞれ独立して活動し共同作業することがほとんど無かった2つの標準機関(System Verilog標準のAccelleaとSystemC標準のOSCI)が初めて共同開催するイベントであり、約300人が参加した。DVCon2011開催直前にAccelleraからUVM1.0標準がリリースされ、この規格がOSCI標準のTLM2.0を採用することが発表された。これが今回イベント開催の切欠になったと考えられる。

ランチ会議なので円卓に用意された昼食を取りながら、ゆったりとパネル討論を聞くという想定で参加した。実際は入口でランチボックスを貰い、スクール形式の会議場でサンドイッチを食べながらの中身の濃い会議であった。壇上には、Accellera会長のShishpal Rawat氏(Intel社)とOSCI会長のEric Lish氏(Intel社)の二人が椅子に座り、会場内に席を取ったモデレータのStan Krolikoski氏(Cadence社)からフォーラムの進め方について説明があった。Stan氏は両標準化機関の役員であり、長年EDA標準活動に貢献しており、現在IEEE DA標準委員会の委員長を務める。

「これからパネル討論会を始めます。アジェンダもプレゼンテーションもありません。会場の皆さん全員がパネリストです。」とStan氏の一声で、前代未聞のパネル討論が始まった。会場から多くの意見、両会長への質問が出され、討論とディベートが展開した。90分間に渡る長丁場のイベントであったが、シリコンバレーで実際に設計と検証に従事するエンジニアが、設計言語のインターオペラビリティ、設計言語の統一と設計言語中立の検証手法について議論しており、あっという間に時間が過ぎた。

UVMに対しては賛同の意見が多く、検証の質と効率を改善するための第一歩であるという認識であり、また2つの標準組織のコラボレーションにも好感を持っている。設計言語の統一化ないし設計言語中立の手法についてのディベートは、System Verilog対SystemCという構図に対して、VHDLのオブジェクト指向拡張のSystem VHDLの必要性まで議論が及んだ。この議論はかつてVerilog HDL対VHDLで行ったもので不毛の議論であると考ええる。Stan氏が個人的意見として、統一言語という理想を追うよりは、言語非依存性と言語間のマッピングに関する定義を進めることが現実的であるとあった。理想よりも現実的な解を見つける努力をしようという提案である。

Stan氏から会場にVHDLユーザ数の質問があり、25名が手を上げた。そのうち会場からVHDLユーザが意見を述べた。米国防省のコントラクターで仕事をしており、現在彼らはテストベンチには無関心なのでSystem Verilogテストベンチで検証し、VHDLの設計データだけを納品している。彼らがテストベンチの関心を持ったら、VHDLでテストベンチ提供しなくてはいけなくなる。EDAベンダーが国防省より力を持たない限り、彼らの言いなりです。System VHDLは必要です。

最後に会場からEDAジャーナリストとして著名なGabe Moretti氏がマイクに向かい、この討論会を締め括った。「不毛な標準は、重要でない人物の銅像と同じである。ただし銅像は鳩には感謝されている。有益な標準を作るためにここにいる皆さんが必要とされている。」会議後Gabe氏と旧交を深めた時、業界ではこれを「Standards for pigeons(鳩のための標準)」ないし「Pigeons Remark」と呼ぶとご教授戴いた。

両標準化機関の会長であるShishpal氏とEric氏は共にIntel社所属、またAccelleraのVIP技術小委員会委員長のTom Aslop氏もIntel社所属であり、UVMはIntel社ネットワークで進めたといえるのではないかと思います。EDA標準は兎角EDAベンダー間の覇権争いに利用されるが、ユーザ主導でOVMとVMMの統合が実現し、UVMがAccellera標準となったことは大きな成果である。また、UVMが2つの言語(SymtemVerilogとSytemC)間のインターオペラビリティを確保されたことに留まらず、今後2つの標準化団体(AccelleraとOSCI)のコラボレーションが深化する切欠となったと評価したい。

(以上 第二報)

3. 基調講演

DVConの基調講演は、3大EDAベンダーのCEOが登壇することが定例化しているようである。2008年は米Mentor Graphics Corp.のWalley Rhines氏、2009年は米Synopsys, Inc.のAart de Gues氏、昨年は米Cadence Design Systems, Inc.のLip-Bu Tan氏が講演を行った。そして一巡して今年はWalley Rhines氏が3年ぶりに登壇し、「From Volume to Velocity」と題し3月1日午後

後に講演を行った。Walley氏は先ず前回の基調講演は3年前であったことに触れ、かれが予想した機能検証分野の業界トレンドをこれから将に検証し、嘘ではなかったことを示そうと冗談を交えながら講演を始めた。2010年にWilson Research Groupと米Mentor Graphics Corp.が共同で行った機能検証に関するWorld-Wide Surveyを元に2007年と2010年のデータを比較することで、この3年間のSoC設計と検証環境の変化を述べた。今回紹介されたSurveyは2002年と2004年に調査会社のCollet Internationalが実施した調査項目を踏襲しており、定点観測という点で大変意味があるものとする。数多くのデータが提示されたが、その中で特に顕著な傾向を示すものを選択し、以下の表にまとめる。

	2007年	2010年
	-----	-----
主流製品の開発規模 (ロジックのみ)	1M-10Mゲート	1M-10Mゲート および40Mゲート以上
主要製品のプロセス世代	130-65nm	65-32nm
プロジェクト投入ピーク人員は？		
デザインエンジニア	7.8人	8.1人
検証エンジニア	4.8人	7.6人
検証工数の全体比率	50%	55%
1stシリコン完動率	28%	31%
設計仕損のNo1原因	論理・機能バグ	論理・機能バグ
テストベンチ再利用率	49%	62%
(内部利用・外部導入)	(41%・8%)	(43%・19%)
コードカバレッジ使用	48%	72%
機能カバレッジ使用	40%	72%
アサーション使用	37%	69%
使用検証言語は？		
SystemVerilog	24%	60%
SystemC	17%	16%
VerilogHDL	68%	53%
	-----	-----

SoCの大規模化と複雑化に伴い、設計品質の維持と向上を図るために検証環境の改善に多くの投

資をしている。また益々増大する検証工数に対して効率化と生産性向上にも対策を講じていることが窺われる。すなわち、新しい検証手法と検証言語を導入して1stシリコン完動率30%を維持し、テストベンチの再利用により生産性向上を図り、結果として全体設計工数に占める検証工数を50%台に留めている。しかし、先端製品開発プロジェクトでは検証作業のピーク時に投入する検証エンジニアの人員は、デザインエンジニアとほぼ同数必要となり、人員の確保に苦慮していると解釈できると思う。

Walley氏は、過去3年間すなわち、2007－2010を検証の物量増大(Increasing the Volume of Verification)の時代と呼び、設計手法としてアサーション、コードカバレッジと機能カバレッジが普及した。今後3年間すなわち、2011－2014は検証速度の改善(Improving the Velocity of Verification)と呼び、テストベンチ自動化とトランザクションレベルのハードウェアアクセラレーションが重要であるとした。また、今後10年間すなわち、2011－2021は、さらなる検証速度の加速が求められ、System Verilogへの移行とベースクラスライブラリによる検証手法が普及すると予想した。

(以上 第三報)

4. UVMパネル討論

3月1日午後、Rhines氏の基調講演に先立ち「UVM - Final Answer or Phone a Friend」と題し、UVMパネル討論が行われた。米Sunburst Design社のCliff Cummings氏がモデレータを務め、6人のパネリストが登壇した。

モデレータ:

Cliff Cummings, President and Verilog & SystemVerilog Guru, Sunburst Design

パネリスト:

Sharon Rosenberg, solutions architect, Cadence

Janick Bergeron, Synopsys fellow and Verification Methodology Manual(VMM) author

Tom Fitzpatrick, verification technologist, Mentor Graphics

John Fowler, verification fellow, AMD

Ambar Sarkar, chief verification technologist, Paradigm Works

Tom Alsop, Intel, co-chair of Accellera Verification IP(VIP) technical subcommittee

Cummings氏は、VerilogHDLとSystemVerilogの著名なトレーナー兼コンサルタントであり、また標準化機関AccelleraとIEEEワーキンググループのメンバーとしても標準規格化に関っている。6人のパネリストは、それぞれ大手EDAベンダー、EDAユーザ企業と検証サービスベンダーの所属であり、同時にUVMを推進したAccelleraのVIP技術小委員会のメンバーでもある。業界の検証エキスパートが一堂に会した観がある。

検証手法の歴史

UVM1.0は、一言で言うと「TLMを基礎にしたオープンソースのベースクラスライブラリによる検証手法」となる。位置付けを明確にするために検証手法の歴史を簡単に辿ることにする。90年代にベースクラスライブラリを基礎にした検証言語が登場した。Vera、e言語等がこれにあたる。企業買収と人材引抜きによる技術導入を経て、2000年後半には3大EDAベンダー(Cadence社、Synopsys社とMentor社)は、それぞれが標準言語SystemVerilogを使用した独自の検証手法を開発し製品化するに至った。すなわちSynopsys社のVMM(Verification Methodology for System Verilog)、Cadence社のURM(Universal Reuse Methodology)そしてMentor社のAVM(Advanced Verification Methodology)である。Mentor社のAVMは、業界初めてのオープンソースTLMベース手法であった。まずCadence社とMentor社が歩み寄り、それぞれの手法を統合化したOVM(Open Verification Methodology)を共同開発した。複数ベンダーによるオープンソースの検証手法がリリースされた。その後AccelleraがSynopsys社に働き掛け、VMM1.2とOVMが統合する形で、VIP技術小委員会が中心となり、開発を進めUVM(Universal Verification Methodology)1.0として、本年2月にAccellera標準がリリースされた。

主要な検証手法は？

Rhines氏が基調講演で使用した2010年の機能検証に関するWorld-Wide Surveyにベースク
ラスライブラリによる検証手法の調査結果が報告されているので、これを参照したい。

手法名	提供元	使用率
OVM	OVM World	42%
VMM	Synopsys	27%
eRM	Cadence	14%
AVM	Mentor	9%
UVM	Accellera	7%
URM	Cadence	4%
RVM	Synopsys	4%
その他		24%

パネル討論では、先ずEDAユーザであるAMD社Fowler氏とIntel社Alsop氏がUVMの社内での導入見通しについて述べた。「大手企業はUVMへの移行に積極的である。AMD社は2008年以来OVMの小変更バージョンを使用しているが、現在UVMへの大規模な移行作業に入っている。」と述べた。「Intel社は主要な設計チームが先行的に利用を開始している。UVM1.0リリースを切欠として、次のステップとして受入れ検査をした上で、全社共通検証環境を変更する予定である。」と述べた。

2010World-wide SurveyではUVMは7%の利用であるが、今後OVMとVMMからの移行が進み2~3年後には50%を超えると予想される。一方テストベンチを記述する言語として、e言語の愛好者が依然として17%と多いのには驚かせられる。

今後の計画

UVM1.0は、OVMに重要な新機能が追加されている。Run-time phasing、Register packageとTLM2.0インタフェース等であるが、まだまだ機能が不足しているとパネリストから発言が相次いだ。Synopsys社Bergeron氏は、Scoreboard、Performance analyzerとHardware abstraction layerの機能拡張の必要性を述べた。Cadence社Rosenberg氏は、Coverage、ConstraintsとAspect-oriented modelingの機能拡張は優先順位を上げるべきと述べた。また、AMD社Fowler氏はUVMだけでなく、SystemVerilog言語自身の拡張も必要であり、IEEE1800ワーキンググループに委ねるべきであると述べ、これを受けてIntel社Alsop氏はワーキンググループでは、Aspect-oriented programming、Multiple inheritanceとOverloadingのような機能拡張について議論しているとした。

聴衆の数人から矢継ぎ早に意見が述べられた。「UVM1.0の新規機能でもう十分である。更なる機能拡張をエンジニアの頭に突っ込んだら、爆発する。UVM1.0は完成した今、しばらく頭を冷やし品質の向上に努めるべきである。例えば、新機能のRegister packageは品質を心配している。走り続けずに一度立ち止まらないと、今本当に必要なことが明確にならないのではないか。」

これに対して、AMD社Fowler氏は、「明らかに拡張すべき機能不足があり、立ち止まるわけには行かない。しかし、機能拡張はそれほど膨大ではなく、数ヶ月オーダーで対策できるものばかりである。」これを受けて、Cadence社Rosenberg氏は、「機能拡張はそれほど大きな問題ではなく、検証手法の清掃が必要である。また使い易さが大きな課題であり、統合と整合性も普及する上で重要である。」と述べた。最後に、Intel社Alsop氏は、「Accelleraは新機能を追加する時に、互換性を維持することに大きな注意を払っている。UVMは委員会努力の結晶であり、今後も情熱を持って事に当たり、そして勝利する。」と結んだ。

(以上 最終報)